

## Thin film transistor circuit and its manufacturing.

Patent Number:  EP0471628

Publication date: 1992-02-19

Inventor(s): NAGAE YOSHIHARU (JP); SAITO TAKESHI (JP); OKAZAKI SATOSHI (JP); AKIMOTO YASUMASA (JP); KITAMURA TERUO (JP); MORI YUJI (JP); MIKAMI YOSHIRO (JP); KUWABARA KAZUHIRO (JP); HAYAMA HIROSHI (JP); ASADA HIDEKI (JP); ASAKA KENJI (JP); NAKAMURA KAZUNORI (JP); KUBOZONO KENICHI (JP); KOBAYASHI MASAYOSHI (JP); KANEKO EIJI (JP)

Applicant(s): GTC KK (JP)

Requested Patent:  JP4094115

Application Number: EP19910420089 19910319

Priority Number(s): JP19900212324 19900809

IPC Classification: H01L21/027; H01L21/033; H01L21/84

EC Classification: H01L21/027B6B, H01L21/84

Equivalents: JP2587124B2

Cited Documents: EP0365169; EP0402942; EP0193820; US3564135; JP2021612

### Abstract

A method of making a thin film transistor circuit wherein the method includes at least one step of a printing process for preparing ink patterns to define the area to be affected by the application of an etching process. The invention relates also to a thin film transistor circuit obtained accordingly. 

Data supplied from the esp@cenet database - I2

⑯ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A) 平4-94115

⑬ Int. Cl. 5

H 01 L 21/027

識別記号

序内整理番号

⑭ 公開 平成4年(1992)3月26日

7352-4M H 01 L 21/30 3 6 1 B  
9056-4M 29/78 3 1 1 F ※

審査請求 未請求 請求項の数 4 (全8頁)

⑮ 発明の名称 薄膜トランジスタ回路の製造方法および薄膜トランジスタ回路

⑯ 特 願 平2-212324

⑰ 出 願 平2(1990)8月9日

⑱ 発明者 長江 慶治 東京都中央区東日本橋1-6-5 株式会社ジーイティシーエ内

⑲ 発明者 斎藤 毅 東京都中央区東日本橋1-6-5 株式会社ジーイティシーエ内

⑳ 発明者 岡崎 晓 東京都中央区東日本橋1-6-5 株式会社ジーイティシーエ内

㉑ 発明者 秋本 靖匡 東京都中央区東日本橋1-6-5 株式会社ジーイティシーエ内

㉒ 出願人 株式会社ジーイティシーエ 東京都中央区東日本橋1-6-5

㉓ 代理人 弁理士 志賀 正武 外2名

最終頁に続く

明細書

ーンを形成することを特徴とする薄膜トランジスタ回路の製造方法

1. 発明の名称

薄膜トランジスタ回路の製造方法および薄膜トランジスタ回路

2. 特許請求の範囲

(1) 薄膜トランジスタ回路の製造方法において、少なくとも一回のエッチング用レジストパターン形成を、印刷法により行うことを特徴とする薄膜トランジスタ回路の製造方法

(2) 請求項第一項記載の薄膜トランジスタ回路の製造方法において、印刷法によるエッチング用レジストパターン形成を、被エッチング薄膜上に塗布されたフォトレジスト膜のうえに形成することを特徴とする薄膜トランジスタ回路の製造方法

(3) 請求項第二項記載の薄膜トランジスタ回路の製造方法において、被エッチング薄膜面積にくらべて加工面積が小さい場合には、ネガ型フォトレジスト膜のうえに印刷法によるレジストバタ

(4) ゲート長を印刷法による最小パターン加工寸法とし、ゲートと各コンタクトホール間の長さを印刷法による位置合わせ精度の限界寸法以上とした構造を有することを特徴とする薄膜トランジスタ回路

3. 発明の詳細な説明

[産業上の利用分野]

本発明は、薄膜トランジスタ回路の製造方法、詳しくは、大面積のガラス基板上に大規模な薄膜トランジスタ回路を形成する方法ならびにこれによって得られる薄膜トランジスタ回路に関する。

[従来の技術]

液晶ディスプレイ等の表示素子の駆動方法には、種々のものが知られているが、中でもアクティブマトリクス方式と呼ばれ、ガラス基板上に半導体薄膜を形成して、この半導体薄膜を用いてダイオードのような非線形素子やトランジスタ等のスイッチング素子をマトリクス状に配列してなる基板を

作成し、該スイッチング素子によって多数の画素となる液晶などの表示体を駆動するものが、近年注目されている。

このような技術は、たとえばリキッドクリスタル・テレビジョン・ディスプレイス：プリンシブル・アンド・アプロケーションズ・オブ・リキッドクリスタルズ（K T K サイエンティフィックパブリッシャーズ刊、1987年）、第7章、211-277頁に詳しく記述されている。

第6図はスイッチング素子として薄膜トランジスタ20を用いたアクティブマトリクス駆動型液晶ディスプレイの等価回路を示したものである。第6図中では、1画素は液晶セル23とこれを駆動する薄膜トランジスタ20で構成されており、各画素はそれぞれマトリクス状に走査線21、信号線22によって接続されている。

次に、薄膜トランジスタの構造の一例を第7図に示す。第7図中符号31はポリシリコン、32はソース、33はドレイン、34はゲート、35はゲート絶縁膜、36は配線用メタル電極、37

は電極取りだし用コンタクトホール、38はガラス基板である。また、それぞれの配線用メタル電極36は第6図の走査線21及び信号線22にそれぞれ接続されている。

小型テレビやOA用端末装置に用いるアクティブマトリクス駆動型液晶ディスプレイでは、液晶セルの画素のサイズは小さなものでは數十μm角程度となり、それにともない薄膜トランジスタのサイズも數一十数μmという微細なものが必要である。

このような微細な薄膜トランジスタを形成するパターニング法として、現在露光装置によるフォトリソグラフィ法が主に用いられている。この方法では、ミラープロジェクション方式やステップ方式の露光装置を用いて、30~40cm角のガラス基板に、解像力3~4μm、位置合わせ精度±1μm、基板1枚1工程あたり約数分のスループットで、微細パターンが形成できる。

#### [本発明が解決しようとする課題]

近年では、HDTVに代表される大容量、大画面の情報表示装置への要求が高まり、表示面の対角寸法が1メートル以上の表示装置、いわゆるメータサイズのディスプレイの実現が望まれている。

このメータサイズのディスプレイをアクティブマトリクス駆動型液晶ディスプレイで実現するには、第6図における走査線21や信号線22がそれぞれ千本以上で、画素数が数百万個以上にしなくてはならない。このようなディスプレイを生産性良く製造するには、一辺が1メートル以上のガラス基板に、数μm~十数μmの微細パターンの薄膜トランジスタを数百万個以上、高スループットで形成する必要がある。

ところが、上記露光装置では、光学系における解像力の制約から、現在一度に露光できる領域の大きさは100~150mm角程度が限界とされている。したがって、これより大きなサイズの画面を露光しようとすると、画面を分割して何回も露光するステップ方式等が必然的となる。また高い位置合わせ精度も必要になる。

このような露光装置でメータサイズの基板に微

細パターンを形成しようとすると、画面を百分割程度に分割して多数回露光しなければならない。このように多数回露光を繰り返すということは、基板の移動、停止、露光というステップアンドリピート動作を多数回くりかえさなければならず、基板1枚1工程当たりのスループットが数10分かかることになり、生産性の点で大きな問題になっている。

また、画面を多数回分割して露光するためには、各露光領域を高い精度でつなぐための高い位置合わせ精度が必要になる。しかし、メータサイズの大面積で±数μmの位置合わせを行うことは、非常に困難であり、このためディスプレイ上でのわずかなつなぎのズレが画像欠陥として目立ち、高画質なメータサイズの液晶ディスプレイを実現するうえで大きな問題となっている。

本発明は、上記課題を解決するためになされたものであり、メータサイズの大面積の基板上に多数の微細な薄膜トランジスタ回路をマトリクス状に高スループットで形成する方法を提供すること

を目的としている。

[課題を解決するための手段]

上記の目的は、フォトリソグラフィ法の代わりにインキでバターニングする印刷法を導入することにより達成される。また必要に応じてインキで印刷する表面にあらかじめ從来から用いられているフォトリソグラフィ用のフォトレジストを塗布しておくことにより達成される。さらには、薄膜トランジスタ回路の構造として、ゲート長を印刷法による最小バターン加工寸法として、ゲートと各コンタクトホール間の長さを印刷法による位置合わせ精度の限界寸法以上とすることにより達成される。

[作用]

ステッパ方式のフォトリソグラフィ法の煩わりに印刷法を用いてエッティング用のレジストパターンを形成することによって、一回の印刷で大面积のレジストパターンを形成できるので、生産性良く大面积のアクティピマトリクス駆動型ディスプレイを実現できる。また、印刷する表面にあらか

ー等の電極に接続される基板上の走査線、信号線、画素電極および抵抗、コンデンサーなどを包含するものである。

[実施例 1]

第1図に、本発明の一実施例を示す。本実施例は、印刷法として数ある印刷法のうち凹版オフセット法を用いた例である。凹版11は、インキをのこすべきバターンをエッティングなどにより周囲より凹ませて形成してある。この凹版11にインキ12を塗布した後、ドクターブレード13により余分なインキを取り除く。(a) 次に、ブランケット(転写ロール)14を凹版に接触させながら回転させて凹版11上のインキバターンをブランケット(転写ロール)14の表面に転写する。(b)(c) さらに、このブランケット(転写ロール)14をガラス基板15上に形成してあるS.i., A.I., S.I.O., 等の被加工薄膜16に接触して回転させてブランケット(転写ロール)14の表面のインキバターンを被加工薄膜16の上に再度転写する。(d)(e) その後、インキを

じめ從来から用いられているフォトリソグラフィ用のフォトレジストを塗布しておくことによって、印刷用インキに含まれる不純物が半導体薄膜や金属薄膜等を汚染することを防ぐことが出来る。さらには、スタガ構造の薄膜トランジスタ回路において、ゲート長を印刷法による最小バターン加工寸法とし、これにイオン注入法を組み合わせてソース領域およびドレイン領域を形成することによって、個々の薄膜トランジスタの寄生容量成分を最小に出来、これにより高速動作が可能になり、メータサイズのディスプレイを実現できる。また、ゲートと各コンタクトホール間の長さを印刷法による位置合わせ精度の限界寸法以上と広くすることにより、ゲートと配線用メタル電極間のショートを防止することが出来、薄膜トランジスタの無欠陥化が図れ、メータサイズのディスプレイの高画質化が図れる。

本発明で言う薄膜トランジスタ回路とは、ガラス基板などの基板に設けられる個々の薄膜トランジスタそのものと、これら薄膜トランジスタのソ

乾燥してウェットあるいはドライのエッティングにより被加工薄膜16を加工する。このようにして薄膜を加工することにより大面积の回路素子を生産性良く加工することが出来る。

生産ラインでは、第2図に示すように円筒状の凹版41、円筒状のブランケット(転写ロール)42、一定速度で動くベルト43を配置して、ベルト43のうえにガラス基板44を乗せて移動させながらインキでバターニングを連続的に行う。

また、ここで用いるインキはエッティング工程のダメージに耐える組成のものであることはもちろんであるが、被加工薄膜にたいして汚染物質を極力排除した組成であることも重要である。

以上の説明では、一種の薄膜をエッティングによりバターニングする方法を説明したが、薄膜トランジスタ回路などの回路素子は、通常4回から多いときは10数回のバターニングが必要である。第3図(d)に示した構造の薄膜トランジスタ回路を製造するには第5図に示すように4回のバターニングを行う。すなわち、最初にガラス基板5

1の上にポリシリコン薄膜52を0.1μm程度の厚さに形成して、このポリシリコン薄膜52を上記の印刷法を用いてパターニングする。

(第一回パターニング、第3図(a))

次に、ゲート絶縁膜53としてSiO<sub>2</sub>を0.1μm、ゲート電極としてポリシリコン薄膜54を0.1μm程度の厚さに連続して形成する。その後再び、上記の印刷法を用いてパターニングして、イオン打ち込みによりn+化する。(第二回パターニング、第3図(b))次に、絶縁膜55としてSiO<sub>2</sub>を0.3μm形成する。ここでソース、およびドレインの電極を引き出すため上記の印刷法を用いてコンタクトホール56のパターニングを行う。(第三回パターニング、第3図(c))

最後に、電極としてA1薄膜57を形成して上記の印刷法を用いてパターニングして薄膜トランジスタが完成する。(第四回パターニング、第3図(d))。

さらに、ITOなどの透明電極を形成して、被

いて紫外線によりフォトレジストを露光、現像すると第4図(c)のようになる。

次に、CF<sub>4</sub>+3%O<sub>2</sub>ガスを用いてポリシリコン薄膜62をエッティングし(第4図(d))、インキおよびフォトレジストを剥離する。こうしてポリシリコン薄膜62のパターニングを完了する。

このような工程をくりかえして所定の回路素子を製造することは、第一の実施例に示した通りである。

また、フォトレジストにはポジ型とネガ型があるのが知られているが、被加工面積が全体の面積に比べて非常に小さい場合、例えば被エッティング薄膜の面積を100とした時、加工面積が20以下、好ましくは10以下の場合、すなわち面積比が20%以下、好ましくは10%の場合には、ネガ型フォトレジストを使用する方が欠陥の発生を少なくすることが出来る。

この製造方法で、発明者らは薄膜トランジスタの製造をテストして、最小線幅10μmの薄膜トランジスタが良好に製造できることを確認している。

品ディスプレイ用薄膜トランジスタ基板として、カラーフィルターを備えた対向ガラス基板と組み合わせて、その間際に液晶材料を封入して大面积の液晶ディスプレイを容易に製造することが出来る。

[実施例2]

本実施例は、被加工薄膜のうえにフォトレジストを塗布した後に、印刷法によりパターニング加工するものである。本実施例を第4図を用いて説明する。第4図(a)は、ガラス基板61上にポリシリコン薄膜62を0.1μm程度形成したものである。この上に、ポジ型のフォトレジスト(OFP-R-B00-30CP、東京応化)63を1μmの膜厚に塗布した。

そのうえに実施例1で説明した印刷法を用いてインキ64でパターニングする。このとき使用したインキは、カーボンブラックをメラミン系熱硬化性樹脂に混入させ、紫外線遮断特性を有する印刷インキである。この状態を第4図(b)に示す。

この後、インキ層側から超高圧水銀ランプを用

る。

この実施例による製造方法では、インキが直接被加工薄膜に触れることがないので、インキから発生する恐れのある有害不純物で被加工薄膜を汚染することは無い。

[実施例3]

本実施例は、印刷法としてスクリーン印刷法を用いたものである。ガラス基板上のポリシリコン薄膜に、シャッブレー社製ポジ型のフォトレジストMP1400をスピンドルコータを用いて塗布し、ブリペーク(90°C 30分)を行い、乾燥後膜厚を約0.9μmとした。一方、印刷用スクリーン版はラインケ社製メタライズドスクリーン版230-B5Bにパターンを形成したものを用いた。すなわち、5μm厚のニッケル箔をステンシルとし、ステンシルマッシュにマッチ法で接着させた版材シートをもちい、ニッケル箔をエッティング法で所定の形状のポジパターンに穴明け加工し、このシートの周りを顕線状にポリエスチルマッシュを介して、版材に接着させ形成したコンビネーション

ンタイプのサスペンドメタルスクリーン版を用いた。

印刷機は、ニューロング社製15GT、インキは東洋インキ製造(株)製ソルダーレックスK-1000、印刷条件は印刷速度約30cm/s、印刷圧力3.3kg/cm<sup>2</sup>のエアーアー圧力、版と被印刷物の間隔1.8mm、スキーの硬度75、角度75度とした。この条件で、上記乾燥後のフォトレジストの上に印刷した。印刷後、紫外線によりフォトレジストの露光、現像を行ない、同時にインキも溶解除去した。その後、ポストベーク(150°C 20分)を行ない、ポリシリコン薄膜上にフォトレジストパターンを形成した。

この工程ののち、ポリシリコン薄膜のエッティングを行ないポリシリコン薄膜のバターニングを完了する。以後、この繰返しにより回路素子を製造することは、前記した実施例の通りである。

本実施例では、凹版オフセット印刷法に比べ、レジストパターンにおけるピンホールの発生が少ないことが特徴である。但し、パターン精度は凹

版オフセット印刷法が優れているとの実験結果を得ている。

#### [実施例4]

本実施例は、上記の印刷法により製造される薄膜トランジスタ回路の構造に関するものである。一般に印刷法でバターニングすると、従来のフォトリソグラフィ法に比べ、バターニング可能な線幅は太くならざるを得ない。例えば、発明者らが凹版オフセット法をテストした結果ではバターニング可能な最小線幅は約1.0μmであった。また印刷法では、アライニング精度(位置合わせ精度)も従来のフォトリソグラフィ法に比べ悪くならざるを得ない。例えば発明者らが凹版オフセット法をテストした結果ではアライニング精度(位置合わせ精度)は、約2.0μmであった。そこで、薄膜トランジスタ回路の構造を次のように決めるこにより良好な動作を達成する薄膜トランジスタ回路を得ることが出来た。

ここで薄膜トランジスタとして第3図(d)とおなじ構造の薄膜トランジスタを第5図に示す。

なお、第5図においてゲート長をd<sub>c</sub>、ゲートとコンクートホールまでの間隔をd<sub>c</sub>とする。発明者らは、d<sub>c</sub>をバターニング可能な最小線幅1.0μmとし、さらにイオン注入法をくみあわせてソースおよびドレイン領域を形成することにより薄膜トランジスタの寄生容量を最小にし、さらに、d<sub>c</sub>を最小アライニング精度(位置合わせ精度)2.0μmとしてゲートと配線用メタル電極間のショートを防止した。

この構造によれば、薄膜トランジスタ回路の無欠陥化が図られ、メータサイズの液晶ディスプレイの高画質化が実現できる。

#### [発明の効果]

以上説明したように、本発明によれば大面积の基板上に多数の微細かつ動作性が良好で欠陥の少ない薄膜トランジスタ回路をマトリクス状に高効率で形成することができる。よって、大面积、高画質のアクティブマトリクス駆動型液晶ディスプレイを生産性よく製造することが可能となる。

#### 4. 図面の簡単な説明

第1図は、本発明の製造方法の基本的な一例を工程順に示した概略説明図、第2図は、本発明の製造方法の具体的な製造例を示す概略斜視図、第3図は、本発明の製造方法の他の例を具体的に工程順に示した概略説明図、第4図は、本発明の製造方法の他の例を工程順に示した概略説明図、第5図は本発明の薄膜トランジスタ回路の例を示す概略断面図。

第6図は、薄膜トランジスタ回路を用いたアクティブマトリクス駆動型液晶ディスプレイの等価回路図、第7図は、薄膜トランジスタの構造を示す概略断面図である。

#### 1.1 凹版

#### 1.2 インキ

#### 1.3 ドクターブレード

#### 1.4 ブランケット(転写ロール)

#### 1.5 ガラス基板

#### 1.6 被加工薄膜

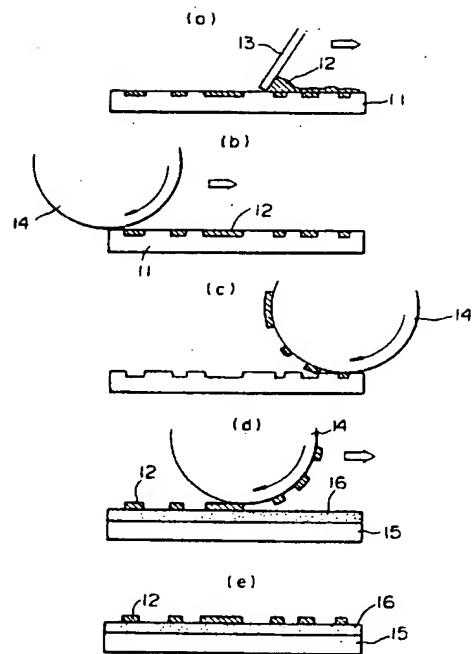
#### 5.1 ガラス基板

#### 5.2 ポリシリコン薄膜

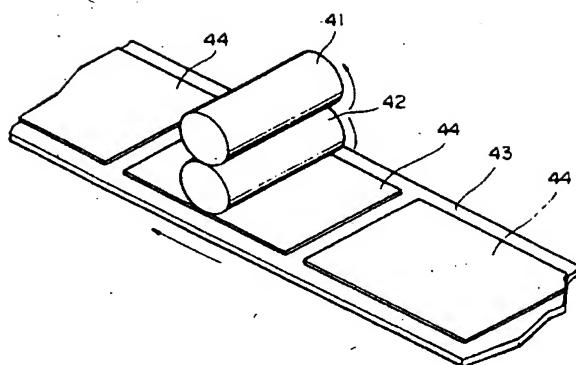
- 5 3 ゲート絶縁膜
- 5 4 ポリシリコン薄膜
- 5 5 絶縁膜
- 5 6 コンタクトホール
- 5 7 アルミニウム薄膜
- 6 1 ガラス基板
- 6 2 ポリシリコン薄膜
- 6 3 フォトレジスト
- 6 4 インキ

出願人 株式会社 ジーティーシー

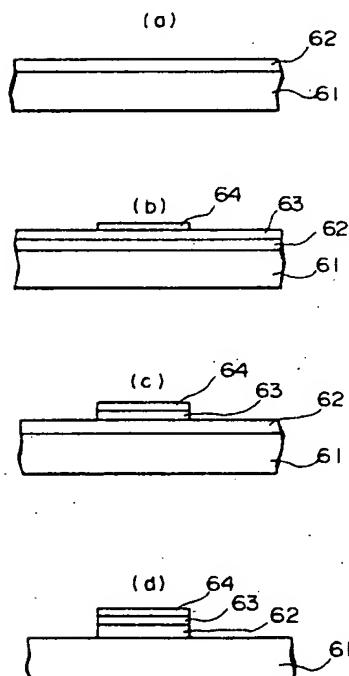
第1図



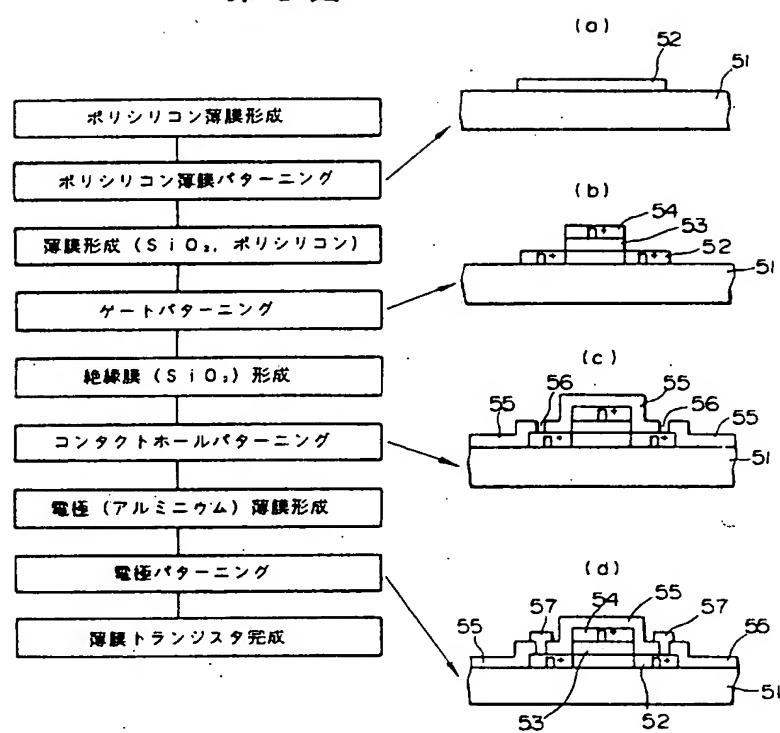
第2図



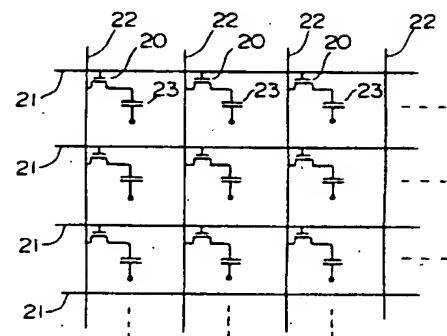
第4図



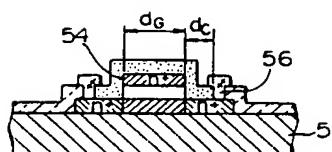
第3図



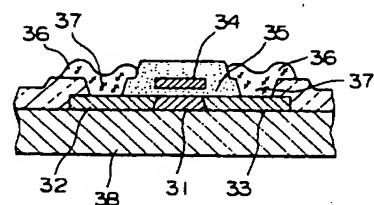
第6図



第5図



第7図



## 第1頁の続き

⑤Int.Cl. <sup>5</sup>	識別記号	府内整理番号
G 02 F 1/1343 1/136	5 0 0	9018-2K 9018-2K 9018-2K
G 03 F 7/16	A	7818-2H
H 01 L 29/40 29/784		7738-4M
 ⑥発明者 北村 輝夫 東京都中央区東日本橋1-6-5 株式会社ジーテイシー 内		
⑥発明者 森 祐二 東京都中央区東日本橋1-6-5 株式会社ジーテイシー 内		
⑥発明者 三上 佳朗 東京都中央区東日本橋1-6-5 株式会社ジーテイシー 内		
⑥発明者 桑原 和広 東京都中央区東日本橋1-6-5 株式会社ジーテイシー 内		
⑥発明者 葉山 浩 東京都中央区東日本橋1-6-5 株式会社ジーテイシー 内		
⑥発明者 浅田 秀樹 東京都中央区東日本橋1-6-5 株式会社ジーテイシー 内		
⑥発明者 浅香 健二 東京都中央区東日本橋1-6-5 株式会社ジーテイシー 内		
⑥発明者 中村 一範 東京都中央区東日本橋1-6-5 株式会社ジーテイシー 内		
 ⑥発明者 久保蘭 健一 東京都中央区東日本橋1-6-5 株式会社ジーテイシー 内		
⑥発明者 小林 正芳 東京都中央区東日本橋1-6-5 株式会社ジーテイシー 内		
⑥発明者 金子 英二 東京都中央区東日本橋1-6-5 株式会社ジーテイシー 内		